

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-287365

(43)Date of publication of application : 16.10.2001

(51)Int.Cl.

B41J 2/05

(21)Application number : 2001-020688

(71)Applicant : CANON INC

(22)Date of filing : 29.01.2001

(72)Inventor : HAYASHIZAKI KIMIYUKI

(30)Priority

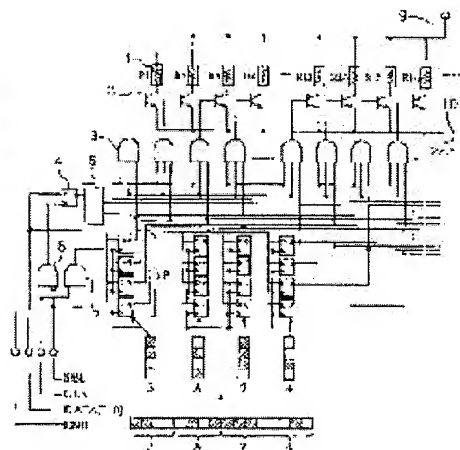
Priority number : 2000022959 Priority date : 31.01.2000 Priority country : JP

(54) RECORDING HEAD, DRIVING METHOD FOR RECORDING HEAD AND DATA OUTPUT UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To transfer image data and to drive a recording element at a high speed without increasing the number of signal lines or connection terminals.

SOLUTION: An image data signal DATA is fed in 4 bit bus format including block selection data at the head and separated by a select signal SEL and only the block selection data at the head is fed to a decoder 5 while being held by a latch 4. 4 bit image data corresponding to subsequent four segments is held, respectively, in four latches at a first recording control section 8.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-287365
(P2001-287365A)

(43) 公開日 平成13年10月16日 (2001. 10. 16)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)
B 4 1 J	2/05	B 4 1 J 3/04	1 0 3 B 2 C 0 5 7

審査請求 未請求 請求項の数33 O L (全 24 頁)

(21) 出願番号 特願2001-20688(P2001-20688)

(22) 出願日 平成13年1月29日 (2001. 1. 29)

(31) 優先権主張番号 特願2000-22959(P2000-22959)

(32) 優先日 平成12年1月31日 (2000. 1. 31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72) 発明者 林崎 公之
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

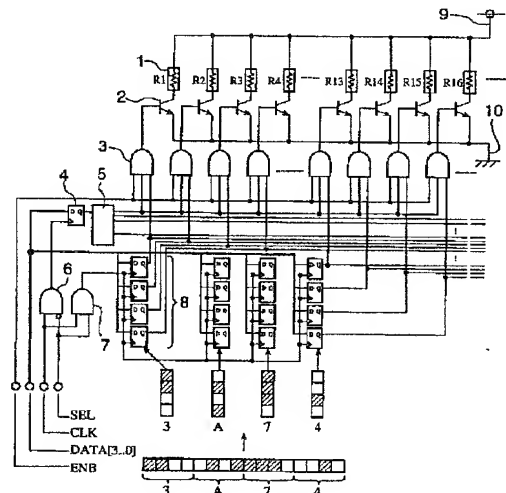
(74) 代理人 100076428
弁理士 大塚 康徳 (外1名)
Fターム (参考) 2C057 AF34 AF99 AG46 AG83 AK10
AM19 AR05 BA04 BA13

(54) 【発明の名称】 記録ヘッド、記録ヘッドの駆動方法及びデータ出力装置

(57) 【要約】

【課題】 信号線や接続端子の数を増大させずに画像データの転送や記録素子の駆動を高速化する。

【解決手段】 画像データ信号 DATA は、先頭にブロック選択用のデータを含む4ビットバス形式で供給され、選択信号 SEL によって分離されて、先頭に含まれるブロック選択用のデータのみがラッチ4に保持されてデコーダ5に供給される。そして、それ以降の4つのセグメントに対応する4ビットの画像データは、第1の記録制御部8の4つのラッチにそれぞれ保持される。



【特許請求の範囲】

【請求項 1】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、

前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、

前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、

前記入力手段は、前記画像データと前記ブロック選択回路に入力されるブロック選択データとを連続した複数ビットのバス形式で受け取るように構成されていることを特徴とする記録ヘッド。

【請求項 2】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、

前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、

前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、

前記入力手段は、前記画像データを複数ビットのバス形式で受け取るように構成されていることを特徴とする記録ヘッド。

【請求項 3】 前記入力手段は、前記画像データを複数の信号線で平行に受け取るように構成されていることを特徴とする請求項 1 または 2 に記載の記録ヘッド。

【請求項 4】 前記入力手段は、データを 4 ビット単位で受け取るように構成されていることを特徴とする請求項 1 から 3 のいずれかに記載の記録ヘッド。

【請求項 5】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、

前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、

前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、

前記入力手段は、前記画像データに連続して記録素子の駆動タイミングに関するデータを受け取るように構成されていることを特徴とする記録ヘッド。

【請求項 6】 前記駆動タイミングに関するデータに応じて、記録素子の駆動時間が設定されることを特徴とする請求項 5 に記載の記録ヘッド。

【請求項 7】 前記入力手段は、前記画像データと共に前記ブロック選択回路に入力されるデータを受け取るように構成されていることを特徴とする請求項 2 から 6 の

いずれかに記載の記録ヘッド。

【請求項 8】 前記入力手段は、前記画像データと前記ブロック選択回路に入力されるデータとを連続して受け取るように構成されていることを特徴とする請求項 7 に記載の記録ヘッド。

【請求項 9】 前記ブロック選択回路は、デコーダを含むことを特徴とする請求項 1 から 8 のいずれかに記載の記録ヘッド。

【請求項 10】 前記記録素子は、熱エネルギーを利用して記録を行うことを特徴とする請求項 1 から 9 のいずれかに記載の記録ヘッド。

【請求項 11】 前記記録素子は、インクを吐出して記録を行うことを特徴とする請求項 1 から 9 のいずれかに記載の記録ヘッド。

【請求項 12】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有する記録ヘッドの駆動方法であって、

前記入力手段によって外部から前記画像データと前記ブロック選択回路に入力されるブロック選択データとを連続した複数ビットのバス形式で受け取り、前記記録制御回路によって前記ブロック選択回路が選択したブロックの記録素子を前記画像データに対応して駆動することを特徴とする記録ヘッドの駆動方法。

【請求項 13】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有する記録ヘッドの駆動方法であって、

前記入力手段によって外部から前記画像データを複数ビットのバス形式で受け取り、前記記録制御回路によって前記ブロック選択回路が選択したブロックの記録素子を前記画像データに対応して駆動することを特徴とする記録ヘッドの駆動方法。

【請求項 14】 前記入力手段によって、前記画像データを複数の信号線で平行に受け取ることを特徴とする請求項 12 または 13 に記載の記録ヘッドの駆動方法。

【請求項 15】 前記入力手段によって、データを 4 ビット単位で受け取ることを特徴とする請求項 12 から 14 のいずれかに記載の記録ヘッドの駆動方法。

【請求項 16】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロック

を選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有する記録ヘッドの駆動方法であって、前記入力手段によって前記画像データに連続して記録素子の駆動タイミングに関するデータを受け取り、前記記録制御回路によって前記ブロック選択回路が選択したブロックの記録素子を前記画像データに対応して駆動することを特徴とする記録ヘッドの駆動方法。

【請求項 17】 前記駆動タイミングに関するデータに応じて、記録素子の駆動時間を設定することを特徴とする請求項 14 に記載の記録ヘッドの駆動方法。

【請求項 18】 前記入力手段によって、前記画像データと共に前記ブロック選択回路に入力されるデータを受け取ることを特徴とする請求項 13 から 17 のいずれかに記載の記録ヘッドの駆動方法。

【請求項 19】 前記入力手段によって、前記画像データと前記ブロック選択回路に入力されるデータとを連続して受け取ることを特徴とする請求項 18 に記載の記録ヘッドの駆動方法。

【請求項 20】 前記ブロック選択回路は、デコーダを含むことを特徴とする請求項 12 から 19 のいずれかに記載の記録ヘッドの駆動方法。

【請求項 21】 前記記録素子は、熱エネルギーを利用して記録を行うことを特徴とする請求項 12 から 20 のいずれかに記載の記録ヘッドの駆動方法。

【請求項 22】 前記記録素子は、インクを吐出して記録を行うことを特徴とする請求項 12 から 20 のいずれかに記載の記録ヘッドの駆動方法。

【請求項 23】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有する記録ヘッドの前記入力手段に対して、前記画像データと前記ブロック選択回路に入力されるブロック選択信号とを連続した複数ビットのバス形式で出力するように構成されていることを特徴とするデータ出力装置。

【請求項 24】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有する記録ヘッドの前記入力手段に対して、前記画像デ

ータを複数ビットのバス形式で出力するように構成されていることを特徴とするデータ出力装置。

【請求項 25】 前記入力手段に対して、前記画像データを複数の信号線で平行に出力するように構成されていることを特徴とする請求項 23 または 24 に記載のデータ出力装置。

【請求項 26】 前記入力手段に対して、データを 4 ビット単位で出力するように構成されていることを特徴とする請求項 23 から 25 のいずれかに記載のデータ出力装置。

【請求項 27】 記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有する記録ヘッドの前記入力手段に対して、前記画像データに連続して記録素子の駆動タイミングに関するデータを出力するように構成されていることを特徴とするデータ出力装置。

【請求項 28】 前記駆動タイミングに関するデータは、記録素子の駆動時間を設定するデータであることを特徴とする請求項 27 に記載のデータ出力装置。

【請求項 29】 前記入力手段に対して、前記画像データと共に前記ブロック選択回路に供給するデータを出力するように構成されていることを特徴とする請求項 24 から 28 のいずれかに記載のデータ出力装置。

【請求項 30】 前記入力手段に対して、前記画像データと前記ブロック選択回路に供給するデータとを連続して出力するように構成されていることを特徴とする請求項 29 に記載のデータ出力装置。

【請求項 31】 前記ブロック選択回路は、デコーダを含むことを特徴とする請求項 23 から 30 のいずれかに記載のデータ出力装置。

【請求項 32】 前記記録素子は、熱エネルギーを利用して記録を行うことを特徴とする請求項 23 から 31 のいずれかに記載のデータ出力装置。

【請求項 33】 前記記録素子は、インクを吐出して記録を行うことを特徴とする請求項 23 から 32 のいずれかに記載のデータ出力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は記録ヘッド、記録ヘッドの駆動方法及びデータ出力装置に関し、特に、複数の記録要素を有し、同時に駆動可能な複数の記録素子を単位とするブロックを選択して画像データに従って各記録素子を選択駆動する記録ヘッド、記録ヘッドの駆動方法及びデータ出力装置に関するものである。

【0002】

【従来の技術】例えばワードプロセッサ、パーソナルコンピュータ、ファクシミリ等に於ける情報出力装置として、所望される文字や画像等の情報を用紙やフィルム等シート状の記録媒体に記録を行う記録装置が広く使用されている。

【0003】これらの記録装置は、現代のビジネスオフィスやその他の事務処理部門、さらにはパーソナルユースにおけるプリンタとして使用され、高密度及び高速記録が強く望まれている傍ら、更なるコストダウン、あるいは高精細化等を達成するべく開発、改良が計られている。

【0004】記録装置の中で、低騒音なノンインパクト記録としてインクを記録素子上に配置した吐出口から吐出させて記録を行うインクジェット記録装置は、その構造的な特徴から、高密度及び高速記録が可能であり、ローコストなカラープリンタ等として広く普及している。

【0005】インクジェット記録装置は、吐出口及びこの吐出口からインクを吐出するための吐出エネルギーを発生する電気熱変換素子を有する記録素子（ノズル）を備えた記録ヘッドを用い、所望される記録情報に応じてインクを吐出して記録を行うものである。

【0006】記録ヘッドの構成としては、従来から、複数の記録素子を一列に配列してなる記録ヘッドが種々知られている。この種の記録ヘッドは、記録素子N個を1ブロックとして同時駆動可能な駆動用集積回路を同一基板上に数個または数十個搭載し、画像データを各記録素子に対応させて整列させることにより、紙等の被記録材（記録媒体）に任意の記録を行うことが可能である。

【0007】このような記録ヘッドでは、同時に駆動する記録素子の数が増えると、駆動に必要な電力が大きなものとなり、電源回路の容量およびコストが問題となる。更に、熱を利用して記録を行う記録素子の場合、ひとつの記録素子が連続して駆動されると熱が蓄積され、記録濃度が変化したり、あるいは記録素子そのものを破壊してしまう可能性がある。

【0008】また、記録素子は、これに隣接する記録素子からもその熱の影響を受ける。例えば、インクジェット記録装置においては、隣接する記録素子を同時に駆動すると、インク吐出の際に生じる圧力により、各々のノズルに相互的な圧力による干渉を受ける。この圧力干渉（クロストーク）により、記録濃度の変化を生じる場合がある。このために、記録素子を駆動した後に、ある程度放熱、もしくはクロストークを避ける休止時間を設けることが望ましい。

【0009】以上のような問題や要求に対処する駆動方法として、記録素子を複数のブロックに分割し、ブロック毎に時分割駆動する方法が知られている。更に、隣接する記録素子が異なったブロックとなるように、同時駆動する記録素子を列方向に対して分散させて駆動する分散駆動が知られている。

【0010】この駆動方法によれば、隣接した記録素子が同時に駆動されることがないため、休止時間を設けることによって、隣接する記録素子からの影響を排除することが可能となる。

【0011】図14は、熱を利用して記録を行う記録素子をブロック毎に時分割駆動する回路構成の具体的な例を示す回路図であり、図15は、図14に示す回路に入力される信号のタイミングチャートである。

【0012】図中1は記録素子毎に設けられたヒータなどの電気熱変換素子であり、2は電気熱変換素子の通電状態を制御するトランジスタやFETなどの機能素子、3は機能素子の制御信号を出力するAND回路、5はデコーダ、9は電源ライン、10は接地ライン、13はシフトレジスタ、14はラッチをそれぞれ示している。また、CLKはクロック信号、DATAは画像データ信号、LATはラッチパルス、BENBはブロック選択信号、ENBは駆動パルス信号である。

【0013】画像データ信号DATAが入力されると、画像データ転送クロックCLKによって画像データをシフトレジスタ13に順に転送し、各記録素子に対応して画像データをラッチ14において整列させ、ラッチパルス信号LATの周期内に、ブロック選択信号BENBを順にアクティブにしていけば、時分割駆動が達成される。また、ブロック選択信号BENBが記録素子に分散して接続されていると、分散駆動が行われる。

【0014】また更に、様々な記録モードを有する記録装置では、デコーダ5に入力されるブロック選択信号BENBのラッチパルス信号LATの周期におけるパターンを一定とせず、記録モードによって変化させる方法も用いられている。この場合、他の制御信号との組み合わせにより様々なパターンでの記録素子の駆動が実現できる。

【0015】

【発明が解決しようとする課題】しかしながら、上記のような記録ヘッドを用いた記録装置において、記録速度の高速化や記録密度の高精細化のために、記録ヘッド内に設けられる記録素子数が増大し、その密度も高くなる。このため、前述の時分割駆動におけるブロック数が増加し、デコーダ回路等を用いても制御信号線の数が増加する。これは、記録モードに含わせて駆動パターンを変化させる場合には顕著である。

【0016】記録速度の高速化のためには画像データの転送クロックも高速化される。これはラッチパルスの周期内に、記録ヘッド上の全ての記録素子に対応する画像データを転送しなければならないためである。

【0017】上記に示したような記録ヘッドの回路は、半導体製造プロセスを用いて1つのチップ状のヒーターボード（H. B.）として製造される場合が多い。しかしながら、画像データの転送クロックを10MHz以上とする場合、半導体の設計ルールにもよるが、集積回路

内のバッファサイズが高速転送のため増加する。

【0018】例えば、図14に記載の回路構成の場合、記録素子各々に対応するシフトレジスタ回路、ラッチ回路の数が膨大となる。この結果、このような回路を内蔵している記録ヘッドのコストが上昇する。単純に画像データの入力ラインを複数本とする方法も知られているが、この場合にも高周波数でシリアルにデータ転送を行うため、結果的に記録ヘッドと記録装置間の接続の問題や、駆動電流の増大、更には放射ノイズによる二次的な問題などが生じる。

【0019】一般的なパーソナルユースのシリアルスキャン型の記録装置においても、記録ヘッドの記録幅のサイズは0.5インチに代わり1インチ幅のものが増えつつある。例えば300ノズル/インチの記録ヘッドの場合、一画素当たり0.1μs(10MHz)であると、記録ヘッドの1ライン分の画像データ転送に要する時間tは、

$$t = 0.1 \times 300 = 30 [\mu \text{sec}]$$

である。

【0020】図15のタイミングチャートからもわかるように、この時間は各記録素子の駆動周期に大きく影響する。記録素子を高速に駆動するためには、次のラインの画像データ転送開始までの周期を上記時間よりも更に短くする必要がある。このためにクロックの立ち上がり及び立ち下がり両方のタイミングでデータシフトする手法も実現されているが、画像データを記録ヘッドに高速転送する必要があるのは同様である。

【0021】更に、600ノズル/インチ以上の記録ヘッドに対しては、記録素子数の増大に反比例して記録素子の駆動速度を遅くするなどして対応していた。

【0022】駆動速度を高速化する他の方法としては、記録素子列を複数に分け、画像データの入力ラインを複数にする方法がある。これはフルラインタイプの長尺ヘッド等に関して実現されているが、記録ヘッドのノズル数に応じて数本～十数本の画像データ入力ラインを設けることとなる。このようにすると、異なる仕様の記録ヘッド毎に異なる仕様の駆動回路を再度設計する必要が生じる。

【0023】多階調記録を行う際には、温度センサなどのフィードバック制御等を行い、記録素子に通電するパルス幅を長くしたり、ダブルパルスや短パルスを連続して通電するような複雑な駆動制御を行う。この場合も、記録素子を駆動するための信号線の数が増加する。

【0024】このように信号線の数が増えると、記録ヘッドと記録装置本体との接続端子の数が増え、これにより種々の問題が生じる。例えば、記録ヘッドおよび本体部分のコネクタ部のコストアップ、接続部分における接点不良などである。インクジェット記録装置の場合には、コネクタ部のインク付着等による誤動作も挙げることが出来る。

【0025】また、高精細化のため、1画素に対して複数の記録素子を割り当てるような構成も知られているが、この場合にも、各々の記録素子を駆動する制御信号の数および回路の増大は避けられなかった。

【0026】本発明は以上のような状況に鑑みてなされたものであり、信号線や接続端子数の増大を抑えつつ画像データの転送や記録素子の駆動を高速化することのできる記録ヘッド及び該記録ヘッドを用いた記録装置を提供することを目的とする。

10 【0027】

【課題を解決するための手段】上記目的を達成するために本発明の記録ヘッドの第1の態様は、記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、前記入力手段は、前記画像データと前記ブロック選択回路に入力されるブロック選択データとを連続した複数ビットのバス形式で受け取るように構成されていることを特徴とする。

20

【0028】また、上記目的を達成する本発明の記録ヘッドの第2の態様は、記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、前記入力手段は、前記画像データを複数ビットのバス形式で受け取るように構成されていることを特徴とする。

30

【0029】更に、上記目的を達成する本発明の記録ヘッドの第3の態様は、記録を行うための複数の記録素子と、同時に駆動可能な複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、前記入力手段は、前記画像データに連続して記録素子の駆動タイミングに関するデータを受け取るように構成されていることを特徴とする。

40

【0030】本発明の目的は、上記の記録ヘッドに対応した駆動方法およびデータ出力装置によっても達成される。

【0031】

【発明の実施の形態】以下に本発明の好適な実施形態を、添付の図面を参照して詳細に説明する。ここでは熱

50

エネルギーを利用して記録を行う記録ヘッドを例に挙げて説明する。以下においては、複数の2値データをバス形式等の信号線で送信可能な多値データ形式に変換することを「コード化」と称する。

【0032】[第1の実施形態] 図1は、本発明の記録ヘッドの第1の実施形態の基本回路構成を示すブロック図である。図中1は電気熱変換素子を含む記録素子である。本実施形態の記録素子は基本的に一次元に配列されており、図のように記録幅に渡って所定方向に配列されている。

【0033】2は記録素子を駆動するドライバであり、それぞれ対応する電気熱変換素子に接続されている。図においてはトランジスタの回路記号を使って示しているが、導通状態を制御する機能素子であればFET等の他の素子でもよい。3は記録素子の駆動条件を決めるAND回路で、各記録素子に対応して設けられている。4はラッチ回路、5はデコーダ、6及び7はAND回路である。また、9は電源ライン、10は接地ラインである。

【0034】以下においては、1つの記録素子1、ドライバ2、およびAND回路3の組をセグメントと称する。また、複数のラッチで構成される部分8を第1の記録制御部、ラッチ4とデコーダ5で構成される部分を第2の記録制御部と称する。

【0035】本実施形態の回路に入力される信号は、クロック信号CLK、駆動パルス信号ENB、選択信号SEL、画像データ信号DATAの4種類である。本実施形態では、画像データ信号DATAは4ビットバス形式で供給され、画像データの先頭に連続的にブロック選択用のデータを含んでいる。画像データ信号DATAは、選択信号SELによって分離されて、デコーダ5にはブ
30 ロック選択のためのデータが供給され、第1の記録制御部には画像データが供給される。本実施形態では画像データやブロック選択データは複数ビットのバス形式として4ビットのバス形式を例として説明しているが、これに限らず、8ビット等のバス形式であってもよい。

【0036】また、本実施形態では画像データと連続してブロック選択のためのデータが供給されているが、本発明の各実施形態の説明において用いる「連続」とは、直接データが連続しているものだけでなく、データ間に無信号の時間や、他のデータ列が介在している場合であ
40 っても、同じ信号のラインで列を成して転送される形式を「連続」と呼んでいる。

【0037】すなわち、画像データ信号DATAの先頭に含まれるブロック選択用のデータのみがラッチ4に保持されてデコーダ5に供給される。そして、それ以降の4つのセグメントに対応する4ビットの画像データは、第1の記録制御部8の4つのラッチにそれぞれ保持される。このように、第1の記録制御部8は、ブロック毎にそのデータを更新可能なシフトレジスタとして機能する。

【0038】この場合、画像データ信号DATAが4ビットバスであるので、駆動ブロック数は16まで設定可能である。図1には、このうち最初の1ブロックに相当する16個のセグメントに対応する回路のみを示している。従って、本実施形態の記録ヘッドでは256個までの記録素子を制御可能に構成されている。

【0039】それぞれの記録制御部を、個別選択かブロック選択にするかは任意である。また選択された記録素子をどのように配置するかも任意である。記録装置の画像
10 プロセスに準じた記録素子配列とすればよい。デコーダブロックの数を増やしたり、各駆動ブロックのシフトレジスタ段数を増やすことにより、256以上の記録素子を駆動することもできる。

【0040】また、6および7のAND回路は、クロックラインを分岐させるものである。シフトレジスタとデータの割り当てが確定していれば設ける必要はない。後述するが、この分岐回路への入力をシフトレジスタのラッチ信号としても兼用できる。

【0041】図2は、図1の回路ブロックの各信号の状態を示すタイミングチャートである。以下、このフローチャートを参照して図1の回路の動作を説明する。

【0042】ここでは図1の回路において、4ビットバスで入力された画像データ信号DATAから、第1の記録制御部では4ビットの平行データで16値の信号にデコードし、第2の記録制御部では4つの2値データを16値の信号(16進数)にデコードするものとして説明する。

【0043】本実施形態では、画像データ信号DATA [3..0]にまず第2の記録制御部に対するブロック選択データを
30 入力し、これをCLKでラッチする。このとき選択信号SELはOFFであるので、5のデコーダにブロック選択データが保持される。

【0044】次に、選択信号SEL信号をONにしてクロックが第1の記録制御部に入力されるように切り替える。第1の記録制御部に対する画像データを4ビット毎に16進数にコード化したデータを「4」「7」「A」「3」のように順次入力し、同期したCLKでシフトする。4つのCLKが入力された時点で、図1に示すように4つの第1の記録制御部には、右から順にそれぞれ16進数で「4」「7」「A」「3」を示すデータがラ
40 ッチされることになる。

【0045】以上のようにしてブロックの選択データ及び対応するブロックの画像データが第1及び第2の記録制御部にラッチされた状態で、次のCLKを入力するまでの間に駆動パルス信号ENBをアクティブにすることで、R1~16の16個の記録素子1が対応する画像データに従って同時に駆動される。

【0046】この処理を16個のブロックに対して繰り返すことで、256個の記録素子をすべて駆動すること
50 ができる。

【0047】以上述べたように本実施形態によれば、シフトレジスタの段数を記録素子の総数に対して少なくできるので、回路構成が簡単でかつ使用する部品点数を少なくできるという利点がある。

【0048】更に、駆動回路の構成が簡単となるので、記録素子等が配置されているシリコン等の半導体基板と同一基板上に半導体製造プロセスによる成膜プロセスで図1に示した上述の駆動回路を配置（作り込み）し、チップ化することができる。このような記録ヘッド用半導体基板の構成とすることで、機能を維持しつつ記録ヘッドの小型化および低コスト化が可能となる。

【0049】また、記録ヘッドと記録装置本体とのデータの送受信に関し、接続端子の数を少なくでき、かつ記録素子数が増えても同じ端子数で対応できるという利点もある。従って、本実施形態の記録ヘッドを記録装置に搭載すると、装置本体側の記録ヘッドの制御が簡略化されるという利点がある。

【0050】〔第2の実施形態〕以下、本発明の記録ヘッドの第2の実施形態について説明する。図3は、本発明の記録ヘッドの第2の実施形態の構成を示す回路ブロック図である。上記第1の実施形態と同様の構成要素は同じ符号で表し、詳細な説明は省略する。

【0051】本実施形態は、記録素子やそれを駆動する機能素子の構成は上記第1の実施形態と同様であるが、信号線の数を増やさずにより多くの記録素子を駆動できるように、記録素子の配置並びにブロック構成が工夫されている。本実施形態の記録ヘッドは、352個×2列の計704個の記録素子を有しており、各列の記録素子を異なった条件で駆動することができる。

【0052】すなわち、1列の記録素子を8つのブロックに分割し、各ブロックに0から8のコードを割り当てる。そしてこのコードに対応したブロックに属する44個の記録素子に対応した画像データに応じて奇数と偶数の記録素子をそれぞれ異なったタイミングで駆動する。

【0053】記録ヘッドの構成としては、352個の記録素子1と、1列の記録素子を駆動するドライバブロック2と、各記録素子の駆動条件を決めるアンド回路3と、ブロックを指定するコードをデコードする3/8デコーダ5と、デコーダへ入力される3ビットの信号を保持する3ビットラッチ4'と、入力された4ビットのデータ信号を順次保持する4ビットのシフトレジスタ4と、ブロック内の44個の記録素子の記録データを保持する44ビットラッチ8'と、入力された4ビットのデータ信号を11回分順次保持する4×11ビットのシフトレジスタ8とを、2つの列に対応して備えている。

【0054】図1と同様、VHは1の記録素子に記録電流を通電する電源ライン、GNDHはその記録電流接地導電体ラインである。VDDは論理回路用の電源ライン、GNDLはその接地導電体である。GNDHもGNDLも半導体基板の基体SUBに接続される。

【0055】本実施形態の記録ヘッドに入力される制御信号は、4つのデータ信号線DATA0~3、クロック信号CLK、駆動周期を定義するラッチ信号LATN、各列の奇数および偶数の記録素子に対応した4つの駆動信号OHE1N、EHE1N、OHE2N、EHE2Nである。4ビットのデータバスで連続して転送された画像データとブロック選択用のデータ（コード）とを内部で分離して使用する。

【0056】図4は、図3の回路図の内部で制御信号が発生する回路構成を示す図であり、図5は、入力される制御信号と内部で発生される記録制御信号との関係を示すタイミングチャートである。本実施形態のデータ転送クロックCLKは10MHzで、立ち上がり、立ち下がりエッジにてシフトする方式とした。これにより転送スピードは倍となる。

【0057】4つのデータ信号線DATA0~3から入力される4ビットデータは、4ビットのシフトレジスタ4および4×11ビットのシフトレジスタ8に順次入力された後、3ビットラッチ4'および44ビットラッチ8'に保持される。3ビットラッチ4'に保持されたデータはE0~E2の信号線を介して3/8デコーダ5に入力されて1から8までのブロック番号を示すコードに変換され、e0~e7のいずれかがアクティブとなる。

【0058】e0~e7のそれぞれは、44個の分散した記録素子をまとめてアクティブにすることができる。これを第1の記録制御信号として使用する。e0で指定されるブロックに属する記録素子は、図3に示すように、Seg番号で1、2、17、18...であり、e1で指定されるブロックに属する記録素子は、Seg番号で3、4、19、20...である。

【0059】内部で発生される第2の記録制御信号は、B0~B43のBLKであり、その出力はそれぞれ、8個の記録素子をまとめてアクティブにすることができる。例えばB0は、記録素子のSeg番号1、3、5、7、...、15を制御し、B1は、記録素子のSeg番号2、4、6、8、...、16を制御する。

【0060】このようにしてデコーダ5からのENB出力と任意選択可能なBLK出力の組み合わせで、2つのBLOCKに接続された352×2系列の記録素子を任意にオンオフできる。この規則性に従って記録装置側でラスタ画像に展開をすることで、記録ヘッドに高速に記録制御データを転送することができる。本実施形態では、2つの記録素子列の記録制御データを連続してDATA[3..0]の端子に入力する。なお、本実施形態のデコーダ5に入力されるブロック指定データは3ビットのため、DATA3のビットはひとつマスクされるが、分割ブロック数の増加や記録素子数が増大した場合にはこの信号を利用することも可能である。

【0061】図6は、図3に示した記録素子全てを駆動するための駆動タイミングチャートである。DATAラ

インにデコーダ回路の出力ENB1回分に相当するBLKデータを転送し、ラッチ信号LATNで保持する。この直後に次の記録制御データが入力される。同時に、先に述べた記録エネルギーに変換する駆動信号が入力される。この入力信号は前述の通り、奇数及び偶数の記録素子に対応しており(OHE1N/EHE1N)、更に記録素子列毎に別入力されている(OHE1N、EHE1N/OHE2N、EHE2N)。

【0062】例えば、記録素子列毎に違う記録エネルギーが必要な場合、それぞれ別のエネルギー量を入力できる。例えば、記録素子が電気熱変換素子を含むような場合、パルス幅を変えて入力することで、記録濃度やドット形状を変換できるものである。更に、インクを吐出させない程度の短いパルス幅のプレパルスと熱による気泡を発生させるためのメインパルスを用いて一回のインク吐出(記録動作)を行う分割パルス駆動の場合、奇数、偶数の記録素子に入力するパルス幅をプレパルス及びメインパルスに分けて駆動することもできる。

【0063】分割パルスとしてまたダブルパルスによって記録素子を駆動させる場合、図示したようにプレパルスとメインパルスの間に休止期間が設けられるが、この休止期間に別の端子に入力されるプレパルスをタイミングとして入れ込むような駆動、所謂インターレース駆動も知られている(インターレース駆動)。上述のように、奇数、偶数の記録素子を別個に制御できる構成は、多様な記録ヘッドの駆動に対応できるものである。前述のインターレース駆動の場合、隣接した記録素子が同時にオンとなることを避けながら、パルス入力期間を短縮できるので、記録素子全てを駆動する時間を実質的に短縮することができる。

【0064】本実施形態の記録ヘッドにおいても先の第1の実施形態と同じく、半導体回路基板上記の記録素子および駆動回路を全て内蔵したチップ上の構成として製造できる。この場合2つの記録素子列は、千鳥に対向配置することで記録密度を上げるように構成しても良いし、片側をブラック、もう一方をカラーの記録に使用するように構成しても良い。また、記録素子の配置を上記分割駆動に合わせ込むことで、駆動の時間差に物理的に対応するようにしても良い。

【0065】以上説明したように本実施形態では、第1の実施形態を基本に、4ビットのデータバスから入力されるデータ信号を、第1及び第2の記録制御信号に変換して使用する。更に、これらデータバスによって転送される各ビットを保持するラッチ回路を設定し、第1、第2の制御信号のデータを、転送終了後次のデータ更新までの間保持できるようにした。

【0066】この方法により、記録エネルギーに変換する駆動信号の入力に時間的な余裕が生じる。記録素子数が600以上の記録ヘッドを数10kHz以上の記録周波数で駆動すると、分割ブロック数も増えるため、時間

的な余裕が無くなってくるのである。本実施形態で特徴的なことは、このような多数記録素子が複数列をなして配置されていても、記録制御のデータ転送を同一のバス上で行うことができることである。更に、データ転送時間を記録周期に対して極力短くできる。

【0067】また、記録素子の隣接部分を同時駆動すると蓄熱やインクジェットヘッドの場合インクのリフィルを妨げる原因となるクロストーク等の記録状態を悪化させる問題があることを極力配慮し、それぞれの記録素子の偶数列、奇数列を別々に駆動できる制御入力を記録素子列毎に設定した。画像形成上、同時に記録される画素を更に考慮すれば、ENBで選択される記録素子への接続を、記録素子列上に数画素置きに設定することも可能である。なお、ここでは、説明を容易とするために隣接する記録素子が同じブロックに属する構成とした。

【0068】前述のように、DATA3のデコーダ回路に入力されるビットはマスクされているが、ここにデータを記録装置から追加するだけで、現状の倍の記録素子数分を分割できることは言うまでもない。つまり同じ転送スピードで、更に倍の記録素子数を制御できる特徴を持っている。この記録制御データ転送の構成で、幅広い記録ヘッドの種類に対応できることは、本体装置の開発製造コストを著しく減少できるものである。記録ヘッドにとっても効果は絶大である。

【0069】本実施形態の具体的な駆動方法に示された高速データ転送、及び記録エネルギー印加時間の短縮によって、記録ヘッドを駆動する記録装置側に時間的な余裕を生じさせることができる。

【0070】[第3の実施形態]以下、本発明の記録ヘッドの第3の実施形態について説明する。第2の実施形態においては、画像データとブロック選択用のデータ(コード)とを繰り返し配置して受け取る形態であった。本実施形態においては、図3、図4に示された回路構成を改良し、画像データ群とブロック選択用のデータ群とをそれぞれまとめてデータの種類のわかりやすい回路構成およびデータの転送を行う構成とした。

【0071】そのような本実施形態の記録ヘッド用半導体基板の回路構成を図7に示す。図7は図3に比べてブロック選択用データを受け取る4ビットシフトレジスタ、画像データを受け取るシフトレジスタ8の配置、および記録素子1の数が異なっており、その他の基本的な構成は図3と同様である。

【0072】図8はこのような記録ヘッド用半導体基板の回路構成を部分的に詳細に示したもので、図7の場合と同様にブロック選択用データを受け取る4ビットシフトレジスタ、画像データを受け取るシフトレジスタ8の配置、および記録素子1の数が異なっている以外は図4と同様であり、データの転送タイミングについては図9に示している。

【0073】なお、半導体回路基板において、画像デー

タ群とブロック選択用データ群とを制御する回路の配置は、その記録ヘッドの構成に合わせて任意に設定できる。

【0074】ここでは図示していないが、上述の図7の回路のデータバスを上位ビットと下位ビットとに分けて、半導体回路基板の両短辺側にそれぞれ振り分けて配置するようにしてもよく、この場合は基板上での配線の引き回し距離を少なくすることができるので回路配置上有利であり、基板をさらに小型化することができる。

【0075】〔第4の実施形態〕以下、本発明の記録ヘッドの第4の実施形態について説明する。図10は、本発明の記録ヘッドの第4の実施形態の構成を示すブロック図である。上記第1の実施形態と同様の構成要素は同じ符号で表し、詳細な説明は省略する。本実施形態は、記録素子やそれを駆動する機能素子の構成は上記第1の実施形態と同様であるが、記録素子の接続構成は前述の第2の実施形態に類似している。

【0076】図中4と8は、共通のデータバス（ライン）DATAに入力された駆動ブロック選択データ、及び画像データをコード化したデータを保持するラッチ回路である。この場合もラッチ4および8は、駆動ブロックデータ、及びコード化された画像データを、ブロック毎に更新可能なシフトレジスタとして機能する。シフトレジスタ8からの1つの出力信号は、16個の連続した*

*記録素子をまとめてアクティブにすることができる。これを第1の記録制御信号として使用し、出力1をR1から16まで、出力2をR17から32までというように16個の記録素子毎に対応させている。

【0077】ラッチ4およびデコーダ5がデコーダにより、ブロック内で同時にオンする記録素子を制御する第2の記録制御信号が出力される。例えばシフトレジスタ4が4ビット対応なら、16個の記録素子まで制御可能である。このデコーダ回路の出力1は、記録素子1のR1、R17、R33、R49、…に、出力2は、記録素子1のR2、R18、R34、R50、…に対応するように接続されている。

【0078】この結果、同時に駆動される記録素子ブロックを第2の記録制御信号で選択し、その記録素子群の中のどの記録素子をオンさせるかを第1の記録制御信号で任意に選択することが可能になる。この操作を16回繰り返すことで、本実施形態の記録ヘッドも256個の記録素子まで駆動制御できる。

【0079】以下に示す表1は、本実施形態の記録素子の接続構成を示している。表1において、各列の数字は連続して配置された記録素子Rの番号を示し、行の数字は4および5から出力される信号の番号を示している。

【0080】

【表1】

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	-----
1																										
2																										
3																										
4																										
5																										
6																										
7																										
8																										
9																										
10																										
11																										
12																										
13																										
14																										
15																										
16																										

【0081】従って、記録制御部8の各出力信号は、表の太枠内（例えばR1から16まで）の記録素子を全てアクティブにすることができ、4および5からの第2の記録制御信号でブロック選択された間に、記録制御部8の出力を個別に対応させることで、256個全ての記録素子が任意通電できる。

【0082】ここで、それぞれの記録制御部を、個別選択かブロック選択にするかは任意である。また選択された記録素子をどのように配置するかも任意であり、記録装置の画像処理に応じた記録素子配列とすることができる。

【0083】図11は、図10の回路ブロックにおける信号の状態を示すタイミングチャートである。この場合

は、DATA信号線が1本である場合について示している。前述のコード化されたそれぞれの記録制御部に対するデータを入力し、これをCLKでシフトする。クロックの送出が止まると、5のデコーダにはブロック選択データが、8には記録素子ブロックを選択するデータがそれぞれ保持される。

【0084】そして次のCLKが入力されるまでの間に、ENB信号をアクティブにすることにより、R1～256までの記録素子の中で第1のブロックに属するR1、R17、R33、…の各々が画像データに従って同時に通電される。この処理を第1の記録制御部（4および8）の信号線の数である16回繰り返すことで、本実施形態の記録ヘッドにおける256個の記録素子1をす

べて駆動することができる。

【0085】言うまでもないが、5のデコーダに送出されるブロック選択データが最初に16を選択すると、R16、R32、R48…の各々がアクティブになり、ENB信号に入力されたパルス幅分、同時に記録電流が通電される。

【0086】本実施形態によれば、シフトレジスタ4と8の段数(ビット数)を記録素子の総数に対し少なくできるので、回路構成上簡単でかつチップサイズを小さくできるという利点がある。また、制御信号の数(端子数)は本実施形態では3としたが、第2の実施形態のようにデータをバスで送信するようにして更に高速転送することも可能である。

【0087】例えば、シリアル記録に使用する記録ヘッドとしては、600dpiの記録密度で記録素子の数が300から600程度の記録ヘッドが今後一般的に使用されると考えられるので、記録装置本体との接続端子の数を本実施形態のように従来に比べて少なく設定すると有利である。一方、長尺型のフルラインタイプのような産業用記録ヘッドの場合には、高速転送を可能とすべくデータ信号をバスによって転送する方式が有効である。

【0088】[第5の実施形態]以下、本発明の記録ヘッドの第5の実施形態について説明する。図12は、本発明の記録ヘッドの第5の実施形態の構成を示すブロック図である。上記第4の実施形態と同様の構成要素は同じ符号で表し、詳細な説明は省略する。本実施形態は、記録素子1に駆動エネルギーを印加する入力信号をラッチ信号と共通化したものである。

【0089】図12に示す回路構成は、図10とほぼ同じであるが、4および8のシフトレジスタのデータを一旦保持する11および12のラッチが追加されている。そして、前述のように駆動エネルギーを印加するENB信号をなくし、ラッチ信号を兼ねるSEL信号が入力される。結果的には入力信号の端子数は同じ3本である。AND回路6および7は、DATA端子から入力された信号を、SEL端子から入力された信号の状態に応じて、駆動制御のデータと駆動エネルギー信号とに振り分けるためのものである。このように構成することによりENB端子に入力される信号をDATA端子から入力される信号と共有化できる。

【0090】図13は本実施形態の回路の各信号の状態を示すタイミングチャートである。図示されたように、SEL信号がONとなっている間に、CLKに同期してDATA端子から画像データに対応した制御データが入力され、11および12のラッチに保持されて駆動すべき記録素子を選択される。そしてSEL信号がOFFとなっている間に、DATA端子から駆動エネルギー信号に応じたパルスが入力されて記録素子が駆動される。つまり、記録素子の駆動タイミングに関するデータがDATA

TA端子から画像データに連続して入力されており、この駆動タイミングに関するデータ(信号)のパルス幅に応じて記録素子を駆動させる長さ(時間)を設定することができる。

【0091】この場合、記録装置側から、各ブロック毎に異なる駆動エネルギー信号を送出することもできる。また、記録ヘッドの温度上昇をモニタし、駆動エネルギー信号のパルス幅を変更することも可能である。本実施形態で示した例以外にも、いくつかのパルステーブルを必要とする場合や、ブロック毎に駆動パルスの形状を更新することが必要な場合に、比較的簡単に対応することができる。例えば、ブロック内の同時オン数に合わせてパルス幅を変更したりすることもできる。

【0092】図示はしないが、駆動エネルギーを印加する際に、駆動エネルギーをパルスの幅として入力する以外の方法も考えられる。例えば、1画素に相当する領域を複数ドットにて記録する際の階調記録データがこれに相当する。1画素に対応する階調データをデータバス化したり、多値データとしてシリアル転送することで、前記実施形態に反映させることができる。例えば1画素を2つの記録素子を選択的に使用して記録する場合、この階調データをデータバスでコード化して転送することで、階調記録が達成される。また、記録ヘッドに入力されるパルス幅のデータをコード化して入力し、このコードに対応する幅を持ったパルスを記録ヘッド内部で生成するといった手法も可能である。

【0093】なお、上述の第4及び第5の実施形態の構成も第1の実施形態のような半導体基板構成としても良いことは言うまでもない。

【0094】[他の実施形態]以上説明した5つの実施形態以外にも、記録ヘッドへの記録制御信号入力方法として、いくつかの方法が考えられる。このような信号入力方法は、記録ヘッド、記録装置の構成をもとに任意に設定できるものである。特に記録ヘッドの画像処理方法に依存するものが多く、記録素子の配置やブロックとの対応はこれに基づくものである。従って、記録制御信号を入力する際に同時に駆動する記録素子数やブロック間隔に基づいて、高速転送をすべきか、ラッチ回路を用いて記録制御信号を一時的に保持させるか等の構成を設定するのがよい。

【0095】いずれにしても、これらの実施形態で明らかのように、本発明は記録ヘッドへの記録制御信号を、記録素子の数に左右されずに入力できる構成を提供するものである。すなわち、記録すべき画像をラスタデータに展開することで得られる入力信号を多値信号にコード化(変換)して記録制御信号として用いることで、記録ヘッド制御を簡略化かつ高機能化できるものである。

【0096】本発明の記録ヘッドを用いた記録装置の構成については後述するが、記録ヘッドを搭載するキャリアッジ上にこれら記録制御信号を調整する集積回路を設け

ると、記録制御信号だけでなく様々な記録ヘッドへの情報を通信可能となるので好適である。例えば、記録ヘッド上の温度センサ等をチェックする機能をコード化し、集積回路上にそのレジスタ値をマッピングすること、あるいは画像データのパターンや、階調記録データをコード化したり、これらのフィードバック制御のタイミングをコード化することもできる。記録ヘッド上の回路をこれらのコード化データにそのまま対応可能な回路構成として、直接的に記録素子への駆動制御に変換できるようにするのが好ましい。

【0097】〔記録ヘッドの機械的構成〕特開平8-108550には、記録ヘッドの回路を半導体集積回路として、記録素子を配置した基板上に実装、もしくは記録素子が配された基板と同じ基板に半導体製造プロセスにより一体的に作り込まれている構成の記録ヘッドが開示されている。もちろん、前述の回路構成の一部、例えばデコーダ等を基板外部の構成として記録ヘッドの中に持たせてもよいが、本発明の記録ヘッドにおいても前述の回路を基板（素子基板）として構成すると、記録素子の記録制御が外部と記録ヘッドの基板上で完結するため、

構成が簡単で高機能な記録ヘッドとすることができる。この場合、記録ヘッドを搭載するキャリッジとの接続端子数も必要最低限の数とすることができるので、信頼性の高い記録装置を提供できる。

【0098】図20は、上述した各実施形態の記録ヘッドの回路構成が適用されるインクジェット記録ヘッドの構成を示す分解斜視図である。

【0099】図中（b）に示した上記の回路構成をシリコン等の基板に一体的に作り込んだ素子基板101上に、記録素子を構成する電気熱変換素子としての発熱抵抗体112が形成され、該抵抗体を囲み基板の両側に向かって流路111が形成されている。この流路を構成する部材としてはドライフィルム等の樹脂やSiN等を用いることができる。

【0100】図中（a）に示したオリフィスプレート102は、発熱抵抗体112に対向する位置に対応し複数の吐出口121を有し、流路を構成する部材に接合される。

【0101】図中（c）に示した壁部材103は、インクを供給するための共通液室を構成するためのものであり、この共通液室から各流路に素子基板101の端部を回り込むようにインクが供給される。

【0102】なお、素子基板101の両側には、外部からデータや信号を受け取るための接続端子113が設けられている。

【0103】〔記録装置の実施形態〕図21は、本発明の記録ヘッドを用いて記録を行う記録装置の代表的な実施形態の概要を示す外観斜視図である。図21において、駆動モータ5013の正逆回転に連動して駆動力伝達ギア5009～5011を介して回転するリードスク

リュー5005の螺旋溝5004に対して係合するキャリッジHCはピン（不図示）を有し、ガイドレール5003に支持されて矢印a、b方向を往復移動する。キャリッジHCには、記録ヘッド1708とインクタンクITとを内蔵した一体型インクジェットカートリッジIJCが搭載されている。

【0104】5002は紙押え板であり、キャリッジHCの移動方向に互って記録用紙Pをプラテン5000に対して押圧する。5007、5008はフォトカブラで、キャリッジのレバー5006のこの域での存在を確認して、モータ5013の回転方向切り替え等を行うためのホームポジション検知器である。

【0105】5016は記録ヘッド1708の前面をキャップするキャップ部材5022を支持する部材で、5015はこのキャップ内を吸引する吸引器で、キャップ内開口5023を介して記録ヘッドの吸引回復を行う。5017はクリーニングブレードで、5019はこのブレードを前後方向に移動可能にする部材であり、本体支持板5018にこれらが支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることは言うまでもない。

【0106】又、5021は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切り換え等の公知の伝達機構で移動制御される。

【0107】これらのキャッピング、クリーニング、吸引回復は、キャリッジがホームポジション側の領域に来た時にリードスクリュー5005の作用によってそれらの対応位置で所望の処理が行えるように構成されているが、周知のタイミングで所望の動作を行うようにすれば、本例にはいずれも適用できる。

【0108】次に、上記記録ヘッドの記録制御を実行するための制御構成について説明する。図16は記録装置の制御回路の構成を示すブロック図である。制御回路を示す同図において、1700は記録信号を入力するインタフェース、1701はMPU、1702はMPU1701が実行する制御プログラムを格納するプログラムROM、1703は各種データ（上記記録信号やヘッドに供給される画像データ等）を保存しておくダイナミック型のRAMである。1704は記録ヘッド1708に対する記録データの供給制御を行うゲートアレイであり、インタフェース1700、MPU1701、RAM1703間のデータ転送制御も行う。1710は記録ヘッド1708を搬送するためのキャリッジモータ、1709は記録紙搬送のための搬送モータである。1705は記録ヘッドを駆動するための制御を行うヘッド制御部、1706、1707はそれぞれ搬送モータ1709、キャリッジモータ1710を駆動するためのモータドライバである。

【0109】上記制御構成の動作を説明すると、インタ

フェース1700に記録信号が入るとゲートアレイ1704とMPU1701との間で記録信号がプリント用の記録データに変換される。そして、モータドライバ1706、1707が駆動されると共に、記録ヘッド制御部1705に送られた記録制御データに従って記録ヘッドが駆動され、記録が行われる。

【0110】図17は、図16のヘッド制御部と記録ヘッドとの通信を更に詳しく説明するための第1の構成例を示すブロック図である。上記図16の一般的な制御構成ではインタフェース1700から供給された記録データの制御をゲートアレイ1704で行うが、本例ではこのゲートアレイの機能を、1720のラスタ画像制御部によって極力行うことを特徴としている。

【0111】図中、1719は記録ヘッド1726を搭載したキャリッジ、1720はラスタ形式の画像データの転送を制御するラスタ画像制御部であり、1721はキャリッジ位置情報を読み取るエンコーダ、1722は電源、1723および1724は接続端子等を有する接続部である。

【0112】例えば従来の記録装置は、プリンタドライバソフトウェアによって展開された画像データを、記録装置のインタフェース1700に入力し、それを更にゲートアレイ1704を用いて記録ヘッドの構成（記録素子配列）に合わせて展開するという手法をとっていた。このためラスタデータを格納する1703のようなメモリへのアクセスが頻繁に生じ、記録スピードを低下させる要因となっていた。

【0113】上記で説明したように本発明の記録ヘッドに対しては、コード化した形で記録制御データを順次転送できるので、これらの処理を高速化しスループットを向上させることが可能である。ラスタ画像制御部1720で作成されたコード化データを含む信号ラインは1723、1724の接続部を介して、直接ヘッドキャリッジ上の記録ヘッド1726に送り込まれる。

【0114】記録ヘッド1726のキャリッジが走査の際に移動するとき、1721のエンコーダ等で位置検出データを得る。この情報は記録制御信号を送出する際の同期信号として機能する。また、ラスタ画像制御部1720は、ゲートアレイ1704からの制御で、記録ヘッドに印加される電源1722とも通信可能である。

【0115】上記のような構成で、記録に必要な制御が達成されるが、本発明の記録ヘッドに応じてコード化した記録制御信号を入力するように構成すれば、これ以外の構成でもよい。

【0116】図18は、本発明の記録ヘッドを搭載した記録装置の第2の構成例を示している。本例は上記図17に示した第1の構成例と略同様であるが、記録ヘッドを搭載するキャリッジ側に調停用のゲートアレイ1725を実装していることを特徴とする。

【0117】この構成によると、ラスタ画像制御部1

720の構成は、記録制御信号をすべてコード化できるため、より簡略化できる。すなわち、キャリッジ1719に送信する信号は、ラスタ画像制御部1720とゲートアレイ1725との間で取り決められた通信プロトコルに従って通信すればよい。これにより接続部1723および1724の端子数を大幅に削減することができる。

【0118】この通信プロトコルは記録装置独自に設定しても、既存の通信プロトコルをそのまま応用することも可能である。キャリッジ1719にゲートアレイ1725が実装されているため、データ通信速度を記録ヘッド1726の回路構成に依存することなく、より高速な通信を行うことが可能である。また、記録幅が1/2インチから1インチ程度のシリアルタイプの記録ヘッドに対しては、データをコード化することにより従来と変わらない転送速度で通信しても充分である。

【0119】ゲートアレイ1725との通信は、記録中に行われるラスタ画像のコード化データ送信と、記録ヘッド1726のセンサ等のフィードバック制御を可能にする、記録ヘッド情報要求コマンドの送信、及びフィードバックデータの受信に分けられる。これらの通信を既定のシーケンスで行えば、記録ヘッドの複雑なフィードバック制御を簡単に行うことができる。この場合、コマンドレジスタを追加することにより、記録装置本体での処理も容易となる。また、通信プロトコルが決まっているので、追加機能も認識しやすい。

【0120】更に、図示はしないが、このようなキャリッジ1719のゲートアレイ1725の機能の一部を記録ヘッド1726の回路に組み込めば、更に高機能な記録ヘッド及び記録装置となる。このように、本発明の記録ヘッドを有する記録装置の構成は、記録装置との通信を基にして様々な方法が考えられるものである。

【0121】図19は本発明の記録ヘッドを用いた記録装置の第3の構成例を示す図である。本例では、接続部1723および1724間の通信を無線で行い、電源の供給以外は実質的なコンタクト部をもたない構成とするものである。この構成を達成する手段としては、赤外線通信等が挙げられる。すなわち1723、1724の接続部をそれぞれ赤外線投受光素子とすることで、無線通信が実現される。前述のように、記録ヘッドの制御信号はすべてコード化されることによって信号端子を1系統とすることができる。この通信プロトコルとしては、既存の赤外線通信プロトコルやその他の無線通信プロトコルを使用することで、高機能な記録装置を提供できる。

【0122】上記のように通信プロトコルに基づいて記録制御を行うという方式は、今後の記録装置の形態に大きく影響するものである。すなわち、記録制御信号をコード化することで、記録装置本体と記録ヘッドとの間の実質的な接続端子数を低減でき、高速なデータ転送を達

成できるため、通信負荷が減り、ダイレクトプリンタとしての構成もより簡略化できるという効果がある。これらの通信プロトコルとしては、転送速度を高速化したものがますます増えているので、この通信方法を直接利用して高速処理を図ることも記録装置として有効である。

【0123】以上、本発明を、熱エネルギーを利用して記録を行う記録ヘッドについて説明した。その中でも、インク吐出を行わせるために利用されるエネルギーとして熱エネルギーを発生する手段（例えば電気熱変換体やレーザ光等）を備え、前記熱エネルギーによりインクの状態変化を生起させる方式の記録装置が高密度化、高精細化が達成しやすい。

【0124】その代表的な構成や原理については、例えば、米国特許第 4723129 号明細書、同第 4740796 号明細書に開示されている基本的な原理を用いて行うものが好ましい。この方式はいわゆるオンデマンド型、コンティニユアス型のいずれにも適用可能であるが、特に、オンデマンド型の場合には、液体（インク）が保持されているシートや液路に対応して配置されている電気熱変換体に、記録情報に対応して核沸騰を越える急速な温度上昇を与える少なくとも 1 つの駆動信号を印加することによって、電気熱変換体に熱エネルギーを発生せしめ、記録ヘッドの熱作用面に膜沸騰を生じさせて、結果的にこの駆動信号に 1 対 1 に対応した液体（インク）内の気泡を形成できるので有効である。この気泡の成長、収縮により吐出用開口を介して液体（インク）を吐出させて、少なくとも 1 つの滴を形成する。この駆動信号をパルス形状をすると、即時適切に気泡の成長収縮が行われるので、特に応答性に優れた液体（インク）の吐出が達成でき、より好ましい。

【0125】このパルス形状の駆動信号としては、米国特許第 4463359 号明細書、同第 4345262 号明細書に記載されているようなものが適している。なお、上記熱作用面の温度上昇率に関する発明の米国特許第 4313124 号明細書に記載されている条件を採用すると、さらに優れた記録を行うことができる。記録ヘッドの構成としては、上述の各明細書に開示されているような吐出口、液路、電気熱変換体の組み合わせ構成（直線状液流路または直角液流路）の他に熱作用面が屈曲する領域に配置されている構成を開示する米国特許第 4558333 号明細書、米国特許第 4459600 号明細書を用いた構成も本発明に含まれるものである。加えて、複数の電気熱変換体に対して、共通するスロットを電気熱変換体の吐出部とする構成を開示する特開昭 59-123670 号公報や熱エネルギーの圧力波を吸収する開口を吐出部に対応させる構成を開示する特開昭 59-138461 号公報に基づいた構成としても良い。

【0126】さらに、記録装置が記録できる最大記録媒体の幅に対応した長さを有するフルラインタイプの記録ヘッドとしては、上述した明細書に開示されているよう

な複数記録ヘッドの組み合わせによってその長さを満たす構成や、一体的に形成された 1 個の記録ヘッドとしての構成のいずれでもよい。加えて、装置本体に装着されることで、装置本体との電気的な接続や装置本体からのインクの供給が可能になる交換自在のチップタイプの記録ヘッド、あるいは記録ヘッド自体に一体的にインクタンクが設けられたカートリッジタイプの記録ヘッドを用いてもよい。

【0127】また、本発明の記録装置の構成として設けられる、記録ヘッドに対しての回復手段、予備的な補助手段等を付加することは本発明の効果を一層安定にできるので好ましいものである。これらを具体的に挙げれば、記録ヘッドに対してのキャッピング手段、クリーニング手段、加圧あるいは吸引手段、電気熱変換体あるいはこれとは別の加熱素子あるいはこれらの組み合わせによる予備加熱手段、記録とは別の吐出を行う予備吐出モードを行うことも安定した記録を行うために有効である。

【0128】さらに、記録装置の記録モードとしては黒色等の主流色のみの記録モードだけではなく、記録ヘッドを一体的に構成するか複数個の組み合わせによってでも良いが、異なる色の複色カラー、または混色によるフルカラーの少なくとも 1 つを備えた装置とすることもできる。以上説明した本発明実施形態においては、インクを液体として説明しているが、室温やそれ以下で固化するインクであっても、室温で軟化もしくは液化するものを用いても良く、あるいはインクジェット方式ではインク自体を 30℃以上 70℃以下の範囲内で温度調整を行ってインクの粘性を安定吐出範囲にあるように温度制御するものが一般的であるから、使用記録信号付与時にインクが液状をなすものであればよい。

【0129】加えて、積極的に熱エネルギーによる昇温をインクの固形状態から液体状態への状態変化のエネルギーとして使用せしめることで積極的に防止するため、またはインクの蒸発を防止するため、放置状態で固化し加熱によって液化するインクを用いても良い。いずれにしても熱エネルギーの記録信号に応じた付与によってインクが液化し、液状インクが吐出されるものや、記録媒体に到達する時点では既に固化し始めるもの等のような、熱エネルギーの付与によって初めて液化する性質のインクを使用する場合も本発明は適用可能である。このような場合インクは、特開昭 54-56847 号公報あるいは特開昭 60-71260 号公報に記載されるような、多孔質シート凹部または貫通孔に液状または固形物として保持された状態で、電気熱変換体に対して対向するような形態としてもよい。本発明においては、上述した各インクに対して最も有効なものは、上述した膜沸騰方式を実行するものである。

【0130】インクジェット記録ヘッド以外の記録ヘッドに対しても本発明が適用できるのはもちろんである。

サーマルヘッドのパルス幅制御や履歴制御にも、本発明の記録制御データのコード化は充分適用できるものである。熱履歴制御のような駆動の場合も、ラスタ画像データと同時に駆動パルス幅データを送信することで、記録ヘッド内で駆動制御が完結する。LEDアレイタイプのヘッドであっても同様である。

【0131】さらに加えて、本発明に係る記録装置の形態としては、コンピュータ等の情報処理機器の画像出力端末として一体または別体に設けられるものの他、リーダ等と組み合わせた複写装置、さらには送受信機能を有するファクシミリ装置の形態を取るものであってもよい。また、メンテナンスフリーになり得るという点で、1ラインの記録幅に相当する記録素子と機能素子、及び駆動用集積回路を基板上に実装、または同一基板上表面内部に構造的に設けることにより、信頼性の高い、高密度、高速印字可能なフルライン記録装置を提供できるものである。これらの形態であっても、記録制御信号をコード化することによって、回路構成を簡略化でき、接続端子数も低減できる。

【0132】なお、本発明は、複数の機器（例えばホストコンピュータ、インタフェース機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読出し実行することによっても、達成されることは言うまでもない。

【0133】この場合、記憶媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0134】プログラムコードを供給するための記憶媒体としては、例えば、フロッピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

【0135】また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0136】さらに、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に

基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0137】

【発明の効果】以上詳細に説明したように本発明の記録ヘッドによれば、従来より回路構成を簡略化でき、記録装置本体からの画像データや制御信号等の転送を、少ない信号線の数でより高速化することができる。また、記録ヘッドのコネクタ部の接点数が削減されるので、コネクタのコストおよび接続不良が減少して信頼性が向上する。

【0138】更に、記録ヘッドのサイズやコストを変更せずに、記録素子数を増やしたり様々なパターンで記録素子を配列して、高密度および高速記録が可能な記録ヘッドを提供することができる。

【0139】記録装置に本発明の記録ヘッドを備えることにより、高密度および高速記録が可能なカラープリンタ等をローコストで実現できる。

【図面の簡単な説明】

【図1】本発明の記録ヘッドの第1の実施形態の回路構成を示すブロック図である。

【図2】図1の回路の各信号の状態を示すタイミングチャートである。

【図3】本発明の記録ヘッドの第2の実施形態の回路構成を示すブロック図である。

【図4】図3の回路の内部信号の流れを示す部分詳細ブロック図である。

【図5】図4の回路の各信号の状態を示すタイミングチャートである。

【図6】図3の回路の各信号の状態を示すタイミングチャートである。

【図7】本発明の記録ヘッドの第3の実施形態の回路構成を示すブロック図である。

【図8】図7の回路の内部信号の流れを示す詳細ブロック図である。

【図9】図8の回路の各信号の状態を示すタイミングチャートである。

【図10】本発明の記録ヘッドの第4の実施形態の回路構成を示すブロック図である。

【図11】図10の回路の各信号の状態を示すタイミングチャートである。

【図12】本発明の記録ヘッドの第5の実施形態の回路構成を示すブロック図である。

【図13】図12の回路の各信号の状態を示すタイミングチャートである。

【図14】従来の記録ヘッドの回路構成を示すブロック図である。

【図15】図14の回路の各信号の状態を示すタイミングチャート例である。

【図16】本発明の記録ヘッドを用いた記録装置全体の制御構成を示すブロック図である。

【図17】本発明の記録ヘッドを用いた記録装置の記録ヘッド制御部分の第1構成例を示すブロック図である。

【図18】本発明の記録ヘッドを用いた記録装置の記録ヘッド制御部分の第2構成例を示すブロック図である。

【図19】本発明の記録ヘッドを用いた記録装置の記録ヘッド制御部分の第3構成例を示すブロック図である。

【図20】本発明の記録ヘッドの機械的構成を示す分解斜視図である。

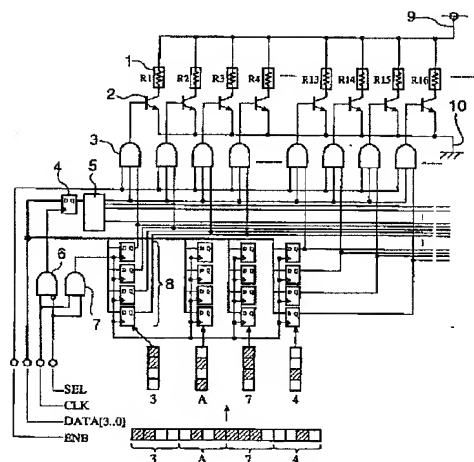
【図21】本発明の記録ヘッドを用いた記録装置の機械的構成を示す外観図である。

【符号の説明】

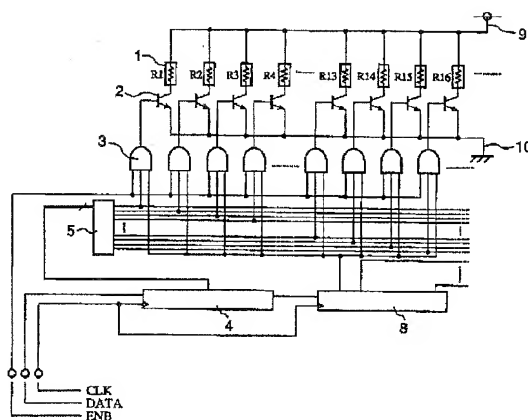
- 1 記録素子
- 2 ドライバ
- 3, 6, 7 AND回路
- 4, 8, 13 シフトレジスタ
- 5 デコーダ

- 9 電源ライン
- 10 接地ライン
- 11, 12, 14 ラッチ
- 1700 インタフェース
- 1701 MPU
- 1702 ROM
- 1703 RAM
- 1704, 1725 ゲートアレイ
- 1705 ヘッド制御部
- 1706, 1707 モータドライバ
- 1708, 1726 記録ヘッド
- 1709, 1710 搬送モータ
- 1719 キャリッジ
- 1720 ラスタ画像制御部
- 1721 エンコーダ
- 1722 電源
- 1723, 1724 接続部

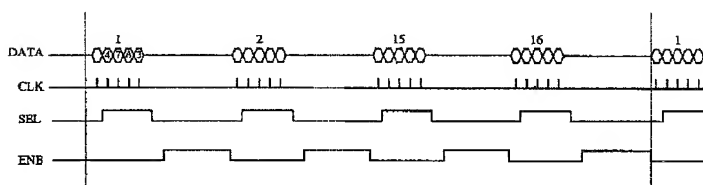
【図1】



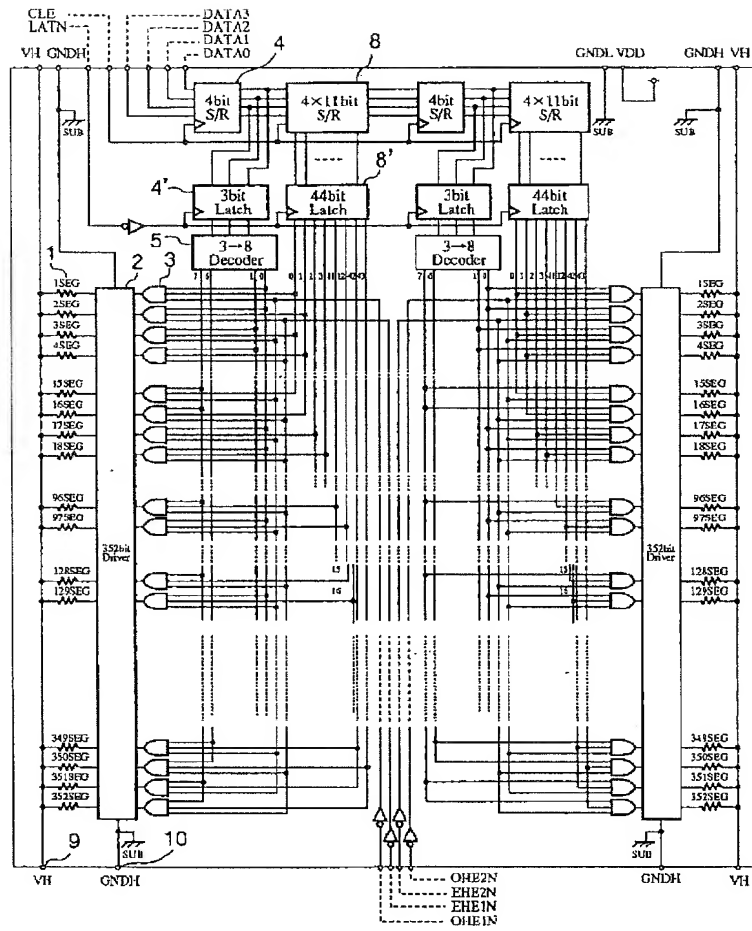
【図10】



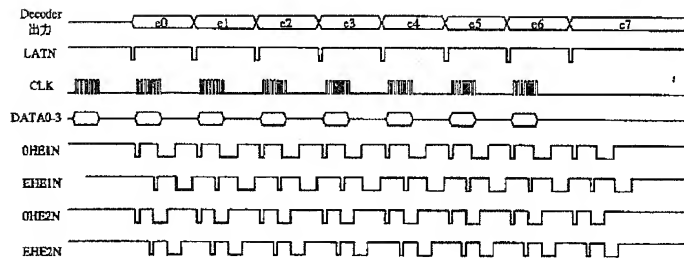
【図2】



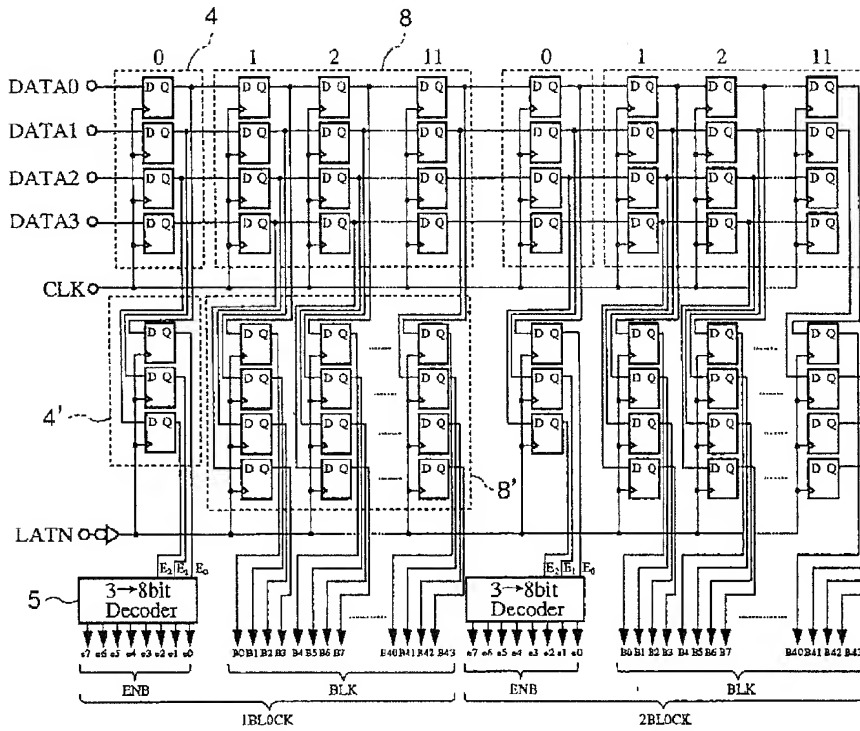
【図3】



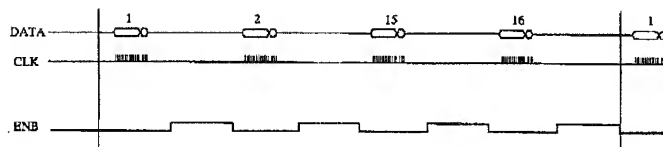
【図6】



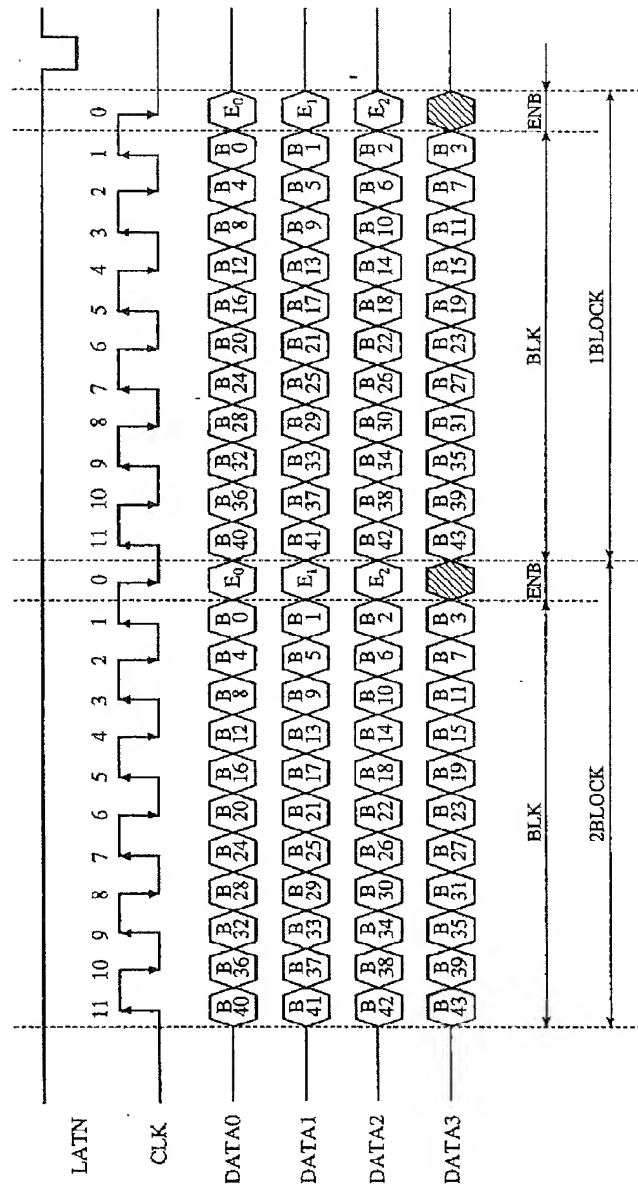
【図4】



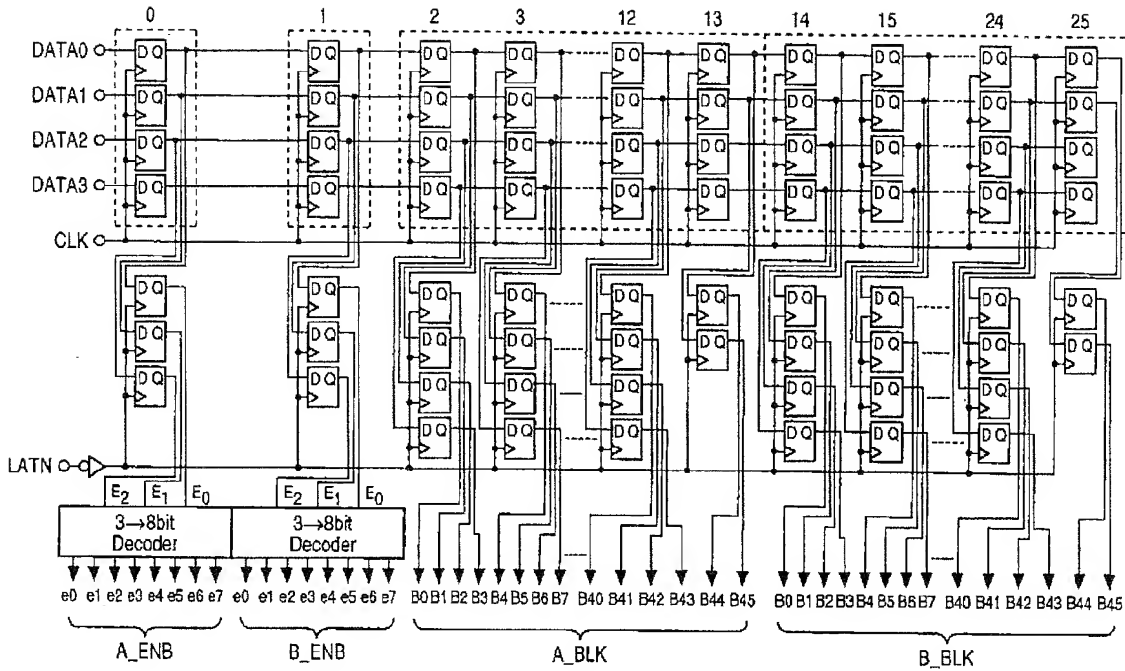
【図11】



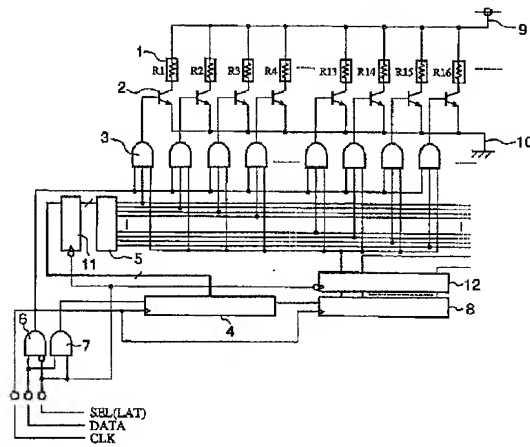
【図5】



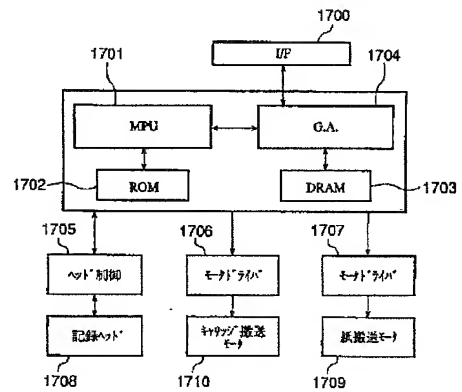
【図8】



【図12】



【図16】

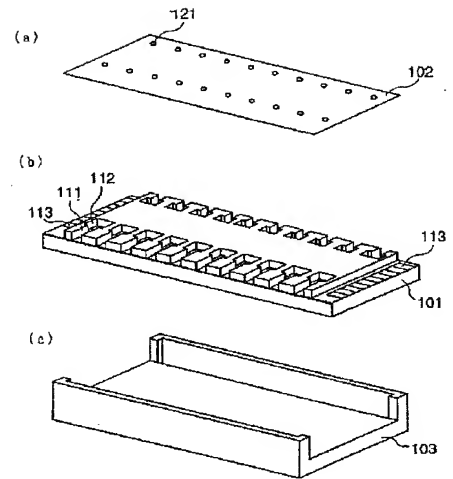


Timing diagram for the 28F002B showing LATN, CLK, and data bus signals. The diagram illustrates the sequence of operations for writing a 256-word block. LATN is high during the initial setup. CLK is a periodic clock. Data bus signals (DATA0, DATA1, DATA2, DATA3) show the transfer of 256 words (0 to 255) in four parallel streams. The block transfer is divided into three phases: B_BLK (first 128 words), A_BLK (next 128 words), and ENB (end of block). The total block transfer time is 50ns x 256 = 1.3µs.

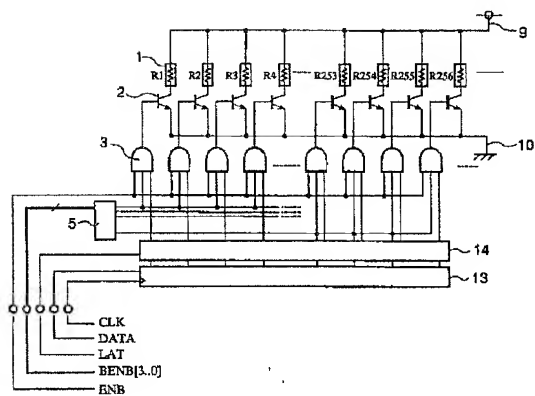
【図13】



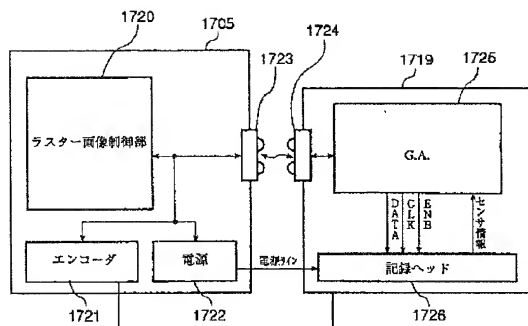
【図20】



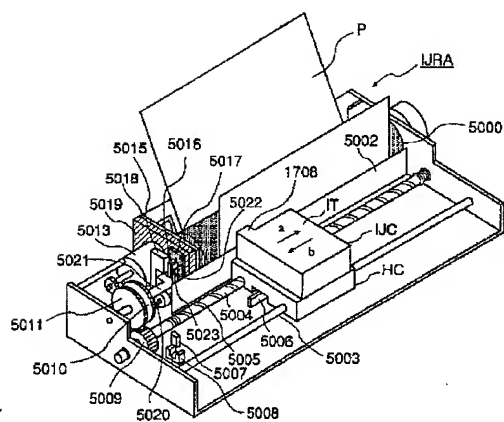
【図14】



【図19】



【図21】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第2部門第4区分

【発行日】平成20年3月13日(2008.3.13)

【公開番号】特開2001-287365(P2001-287365A)

【公開日】平成13年10月16日(2001.10.16)

【出願番号】特願2001-20688(P2001-20688)

【国際特許分類】

B 4 1 J 2/05 (2006.01)

【F I】

B 4 1 J 3/04 1 0 3 B

【手続補正書】

【提出日】平成20年1月25日(2008.1.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】記録ヘッド及び記録ヘッドの駆動方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 記録を行うための複数列に配された複数の記録素子と、

同時に駆動可能な前記複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、

前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する前記複数列毎に対応して設けられた複数の記録制御回路と、

前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、

前記入力手段は、前記複数列毎に対応しシリアル接続された複数のシフトレジスタを含み、前記画像データと前記ブロック選択回路に入力されるブロック選択データとを連続した複数ビットのバス形式で受け取るように構成されていることを特徴とする記録ヘッド。

【請求項2】 前記入力手段は、前記画像データを複数の信号線で平行に受け取るように構成されていることを特徴とする請求項1に記載の記録ヘッド。

【請求項3】 前記入力手段は、データを4ビット単位で受け取るように構成されていることを特徴とする請求項1又は2に記載の記録ヘッド。

【請求項4】 記録を行うための複数列に配された複数の記録素子と、

同時に駆動可能な前記複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、

前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する前記複数列毎に対応して設けられた複数の記録制御回路と、

前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、

前記入力手段は、前記複数列毎に対応しシリアル接続された複数のシフトレジスタを含み、前記画像データに連続して記録素子の駆動タイミングに関するデータを受け取るように構成され、前記駆動タイミングに関するデータに応じて、記録素子の駆動時間が設定さ

れることを特徴とする記録ヘッド。

【請求項5】 前記入力手段は、前記画像データと共に前記ブロック選択回路に入力されるデータを受け取るように構成されていることを特徴とする請求項4に記載の記録ヘッド。

【請求項6】 前記入力手段は、前記画像データと前記ブロック選択回路に入力されるデータとを連続して受け取るように構成されていることを特徴とする請求項5に記載の記録ヘッド。

【請求項7】 前記ブロック選択回路は、デコーダを含むことを特徴とする請求項1乃至6のいずれか1項に記載の記録ヘッド。

【請求項8】 前記記録素子は、熱エネルギーを利用して記録を行うことを特徴とする請求項1乃至7のいずれか1項に記載の記録ヘッド。

【請求項9】 前記記録素子は、インクを吐出して記録を行うことを特徴とする請求項1乃至8のいずれか1項に記載の記録ヘッド。

【請求項10】 記録を行うための複数列に配された複数の記録素子と、同時に駆動可能な前記複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する前記複数列毎に対応して設けられた複数の記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための、前記複数列毎に対応しシリアル接続された複数のシフトレジスタを含んだ、入力手段とを有する記録ヘッドの駆動方法であって、

前記入力手段によって外部から前記画像データと前記ブロック選択回路に入力されるブロック選択データとを連続した複数ビットのバス形式で受け取り、前記記録制御回路によって前記ブロック選択回路が選択したブロックの記録素子を前記画像データに対応して駆動することを特徴とする記録ヘッドの駆動方法。

【請求項11】 前記入力手段によって、前記画像データを複数の信号線で平行に受け取ることを特徴とする請求項10に記載の記録ヘッドの駆動方法。

【請求項12】 前記入力手段によって、データを4ビット単位で受け取ることを特徴とする請求項10又は11に記載の記録ヘッドの駆動方法。

【請求項13】 記録を行うための複数列に配された複数の記録素子と、同時に駆動可能な前記複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する前記複数列毎に対応して設けられた複数の記録制御回路と、前記記録制御回路に入力するための画像データを外部から受け取るための、前記複数列毎に対応しシリアル接続された複数のシフトレジスタを含んだ、入力手段とを有する記録ヘッドの駆動方法であって、

前記入力手段によって前記画像データに連続して記録素子の駆動タイミングに関するデータを受け取り、前記駆動タイミングに関するデータに応じて、前記記録素子の駆動時間を設定し、前記記録制御回路によって前記ブロック選択回路が選択したブロックの記録素子を前記画像データに対応して駆動することを特徴とする記録ヘッドの駆動方法。

【請求項14】 前記入力手段によって、前記画像データと共に前記ブロック選択回路に入力されるデータを受け取ることを特徴とする請求項13に記載の記録ヘッドの駆動方法。

【請求項15】 前記入力手段によって、前記画像データと前記ブロック選択回路に入力されるデータとを連続して受け取ることを特徴とする請求項14に記載の記録ヘッドの駆動方法。

【請求項16】 前記ブロック選択回路は、デコーダを含むことを特徴とする請求項10乃至15のいずれか1項に記載の記録ヘッドの駆動方法。

【請求項17】 前記記録素子は、熱エネルギーを利用して記録を行うことを特徴とする請求項10乃至16のいずれか1項に記載の記録ヘッドの駆動方法。

【請求項18】 前記記録素子は、インクを吐出して記録を行うことを特徴とする請

求項 1 0 乃至 1 7 のいずれか 1 項に記載の記録ヘッドの駆動方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 1

【補正方法】変更

【補正の内容】

【0 0 0 1】

【発明の属する技術分野】

本発明は記録ヘッド、及び記録ヘッドの駆動方法に関し、特に、複数の記録要素を有し、同時に駆動可能な複数の記録素子を単位とするブロックを選択して画像データに従って各記録素子を選択駆動する記録ヘッド、及び記録ヘッドの駆動方法に関するものである。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 6

【補正方法】変更

【補正の内容】

【0 0 2 6】

本発明は以上のような状況に鑑みてなされたものであり、信号線や接続端子数の増大を抑えつつ画像データの転送や記録素子の駆動を高速化することのできる記録ヘッド及び該記録ヘッドの駆動方法を提供することを目的とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 7

【補正方法】変更

【補正の内容】

【0 0 2 7】

【課題を解決するための手段】

上記目的を達成するために本発明の記録ヘッドの第 1 の態様は、

記録を行うための複数の列に配された複数の記録素子と、

同時に駆動可能な前記複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、

前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する前記複数の列毎に対応して設けられた複数の記録制御回路と、

前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、

前記入力手段は、前記複数の列毎に対応しシリアル接続された複数のシフトレジスタを含み、前記画像データと前記ブロック選択回路に入力されるブロック選択データとを連続した複数ビットのバス形式で受け取るように構成されていることを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 8

【補正方法】削除

【補正の内容】

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】変更

【補正の内容】

【0 0 2 9】

更に、上記目的を達成する本発明の記録ヘッドの第 2 の態様は、

記録を行うための複数列に配された複数の記録素子と、

同時に駆動可能な前記複数の記録素子を単位とするブロックを選択するための選択信号を出力するブロック選択回路と、

前記選択信号と共に前記記録素子を選択駆動するための駆動信号を、画像データに対応して各記録素子に出力する前記複数列毎に対応して設けられた複数の記録制御回路と、

前記記録制御回路に入力するための画像データを外部から受け取るための入力手段とを有し、

前記入力手段は、前記複数列毎に対応しシリアル接続された複数のシフトレジスタを含み、前記画像データに連続して記録素子の駆動タイミングに関するデータを受け取るように構成され、前記駆動タイミングに関するデータに応じて、記録素子の駆動時間が設定されることを特徴とする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

本発明の目的は、上記の記録ヘッドの駆動方法によっても達成される。